

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102303

(43)Date of publication of application : 13.04.2001

(51)Int.CI.

H01L 21/20

H01L 21/205

(21)Application number : 11-275352

(71)Applicant : KYOCERA CORP

(22)Date of filing : 28.09.1999

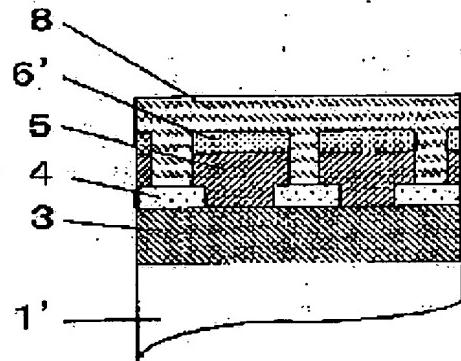
(72)Inventor : AONO SHIGEO

(54) MANUFACTURING METHOD OF COMPOUND SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a compound semiconductor substrate by preventing deterioration of crystallinity or lengthening of the growing time.

SOLUTION: In this method for manufacturing a compound semiconductor substrate, a first compound semiconductor layer 3 and masks 4 are formed on an Si (100) single-crystal substrate 1', and transparent hole parts whose width is $L_1=5\text{--}10 \mu\text{m}$ and whose interval is $L_2=5\text{--}10 \mu\text{m}$ are formed on the masks 4, so as to be inclined at $15^\circ\text{--}45^\circ$ to the direction [011] of the single-crystal substrate. Then, a second compound semiconductor layer 5 and a cap layer are formed from the transparent hole of the first mask 4 to the upper part of the mask, and slits whose width L_3 is smaller than the interval L_2 and whose interval L_4 is larger than the width L_1 are formed in the second compound semiconductor layer and the cap layer on the first mask so that the first mask can be exposed. Then, the compound semiconductor layer is oxidized, and the cap layer is removed, and a third compound semiconductor layer 8 is formed in the slits of the second compound semiconductor layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

拒絶引用S 03 P 0680W000

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-102303

(P2001-102303A)

(43)公開日 平成13年4月13日 (2001.4.13)

(51)Int.Cl.⁷H 01 L 21/20
21/205

識別記号

F I

H 01 L 21/20
21/205

テーマコード*(参考)

5 F 0 4 5
5 F 0 5 2

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号

特願平11-275352

(22)出願日

平成11年9月28日(1999.9.28)

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽殿町6番地

(72)発明者 青野 重雄

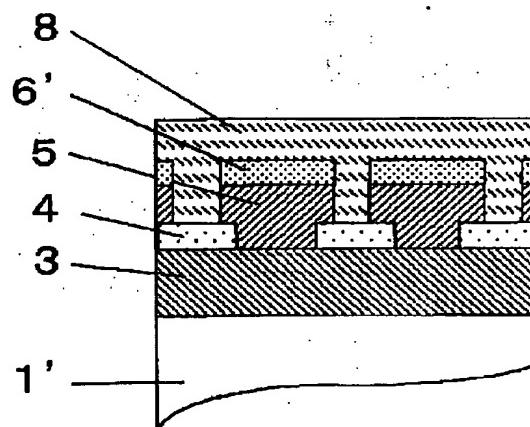
京都府相楽郡精華町光台3丁目5番地 京
セラ株式会社中央研究所内Fターム(参考) 5F045 AA04 AA19 AB10 AB17 AB32
AB33 AC01 AC09 AD07 AD08
AD10 AD11 AF03 AF13 AF20
BB12 CA06 CA07 CA10 CA12
EB13 HA14
5F052 KA05

(54)【発明の名称】 化合物半導体基板の製造方法

(57)【要約】 (修正有)

【課題】 結晶性が劣化したり、成長時間が長くなるという従来方法の問題点を解消した化合物半導体基板の製造方法を提供する。

【解決手段】 Si (100) 単結晶基板1' 上に第1の化合物半導体層3とマスクを形成し、このマスクに幅L1=5~10μmで間隔L2=5~10μmの透孔部を前記Si (100) 単結晶基板の[011]方向に対して15°~45°の傾きをもって形成し、次いで第1のマスク4の透孔部からマスク上にかけて、第2の化合物半導体層5、およびキャップ層を形成し、次いで前記第1のマスク上の前記第2の化合物半導体層、およびキャップ層に、幅L3が前記間隔L2より小さく、間隔L4が前記幅L1より大きいスリットを形成して前記第1のマスクを露出させ、次いで前記化合物半導体層を酸化した後に前記キャップ層を除去し、次いで前記第2の化合物半導体層のスリット内に第3の化合物半導体層8を形成する化合物半導体基板の製造方法。



【特許請求の範囲】

【請求項1】 Si (100) 単結晶基板上に形成したマスクの透孔部からマスク上にかけて化合物半導体層をヘテロエピタキシャル成長させる化合物半導体基板の製造方法において、前記Si (100) 単結晶基板上に第1の化合物半導体層と厚さ0.1~1.0 μmのマスクを形成し、このマスクに幅L₁=5~10 μmで間隔L₂=5~10 μmの透孔部を前記Si (100) 単結晶基板の[011]方向に対して15°~45°の傾きをもって形成し、次いで前記第1のマスクの透孔部からマスク上にかけて、厚さ1.0 μm以上の第2の化合物半導体層、厚さ0.05 μm~0.1 μmのAl_xG_{1-x}As (0.9≤x≤1) 層、および厚さ0.005 μm~0.01 μmのキャップ層を形成し、次いで前記第1のマスク上の前記第2の化合物半導体層、Al_xG_{1-x}As (0.9≤x≤1) 層、およびキャップ層に、幅L₃が前記間隔L₂より小さく、間隔L₄が前記幅L₁より大きいスリットを形成して前記第1のマスクを露出させ、次いで前記Al_xG_{1-x}As (0.9≤x≤1) 層を酸化した後に前記キャップ層を除去し、次いで前記第2の化合物半導体層のスリット内に第3の化合物半導体層を形成することを特徴とする化合物半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は化合物半導体基板の製造方法に関し、特にMESFET、HEMT、LED、LD等の化合物半導体素子に用いられる化合物半導体基板の製造方法に関する。

【0002】

【従来の技術および発明が解決しようとする課題】 Si 基板上にGaAs層をヘテロエピタキシャル成長させる場合、GaAsとSiの格子不整合と熱膨張率の差に起因する転位欠陥が成長界面から発生し、GaAs層の上部まで伝播する。光デバイスにおいて、転位欠陥は再結合中心として働くため、少数キャリアの寿命を減少する。また、電子デバイスでは動作層若しくは形成された電極と基板との間の電気的な分離を妨げ、リーク電流や寄生容量を発生するため、デバイス特性を劣化させる。

【0003】 MOCVD装置やMBE装置を用いてGaAsバッファ層を形成する場合において、転位欠陥密度を低減させるための技術として、2step成長、熱サイクル、歪み超格子(SLS)構造、あるいはELO (Epitaxial Lateral Overgrowth) などが提案されている。

【0004】しかし、Si基板上に形成した光・電子デバイスでは、GaAs基板上に形成した光・電子デバイスに比べるとデバイス特性が劣る。これは欠陥密度の低減が不十分なためである。

【0005】 2step成長、熱サイクル、歪み超格子

(SLS)構造などの直接成長法では、これらの手法を組み合わせても転位密度は8×10⁵個cm⁻²までにしか低減できない(例えば特開平7-106245号公報)。

【0006】一方、ELOは、図8に示すように、Si基板1上にSiO₂などから成るマスク2を形成し、そのマスク2に透孔部2aを形成して露出させた下地SiをGaAs成長の種として第1のGaAs層3をSi基板1に対して縦方向(垂直)に成長させ、この第1のGaAs層3がマスク2の厚みと同じになった後に、横方向へ成長させる手法である(例えば特開平5-259071号公報)。このとき、透孔部2aの上部以外には転位が伝播しないため、マスク2の上部の成長層では転位密度が1×10⁶cm⁻²以下の結晶性の良いGaAs層を得ることができる。さらに、透孔部2aの上部の結晶性の悪いGaAs層上に第2のマスク2'を形成し、結晶性の良いマスク2'上のGaAs層を第2のGaAs層の成長のシード(種)として用いて再びELOを行うと、基板全面で結晶性の良いGaAs層を得ることができる。

【0007】しかしながら、従来のELOには、エピタキシャル成長を途中で中断してSiO₂やSiNx等の第2のマスク2'を再度形成すること、および横方向への成長が縦方向への成長に比べて遅いことから、成長時間が長くなり、生産性が悪いという問題がある。

【0008】本発明はこのような従来の問題点に鑑みてなされたものであり、結晶性が劣化したり、成長時間が長くなるという従来方法の問題点を解消した化合物半導体基板の製造方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】 上記目的を達成するため、請求項1に係る化合物半導体基板の製造方法では、Si (100) 単結晶基板上に形成したマスクの透孔部からマスク上にかけて化合物半導体層をヘテロエピタキシャル成長させる化合物半導体基板の製造方法において、前記Si (100) 単結晶基板上に第1の化合物半導体層と厚さ0.1~1.0 μmのマスクを形成し、このマスクに幅L₁=5~10 μmで間隔L₂=5~10 μmの透孔部を前記Si (100) 単結晶基板の[011]方向に対して15°~45°の傾きをもって形成し、次いで前記第1のマスクの透孔部からマスク上にかけて、厚さ1.0 μm以上の第2の化合物半導体層、厚さ0.05 μm~0.1 μmのAl_xG_{1-x}As (0.9≤x≤1) 層、および厚さ0.005 μm~0.01 μmのキャップ層を形成し、次いで前記第1のマスク上の前記第2の化合物半導体層、Al_xG_{1-x}As (0.9≤x≤1) 層、およびキャップ層に、幅L₃が前記間隔L₂より小さく、間隔L₄が前記幅L₁より大きいスリットを形成して前記第1のマスクを露出さ

せ、次いで前記 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 < 9 \leq X \leq 1$) 層を酸化した後に前記キャップ層を除去し、次いで前記第2の化合物半導体層のスリット内に第3の化合物半導体層を形成する。

【0010】

【作用】上記のように、 Si (100) 単結晶基板上に、第1の化合物半導体層を設け、その上に第1のマスクを形成した後、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 < X < 1$) 層を含む第2の化合物半導体層を積層する。このとき、第1のマスクを形成するにあたり、 Si (100) 単結晶基板の [011] 方向に対して、 $15^\circ \sim 45^\circ$ に傾けることで横方向の成長速度を大きくし、成長時間を短くすることが可能となる。

【0011】また、第1の化合物半導体層を設けることにより、第1のマスク上に横成長する第2の化合物半導体層の結晶性を改善することができる。

【0012】さらに、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 < X \leq 1$) 層をウェット酸化して、第2のマスクを形成することで、第2のマスクを形成するプロセスを簡略化できる。

【0013】さらにまた、第1のマスクと第2のマスクが重なり合わないように積層し、基板界面からの転位の貫通が第1のマスクと第2のマスク部分で止められること、および第2の化合物半導体層の転位密度の低い領域をシードとして第3の化合物半導体層を成長することにより、最上部に形成された第3の化合物半導体層は、均一に転位密度の低い領域を形成することが可能となる。

【0014】

【発明の実施の形態】以下、請求項1に係る発明の実施形態を説明する。 Si (100) 単結晶基板1' 上へ GaAs などから成る第1の化合物半導体層3を形成する。 GaAs のヘテロエピタキシャル形成は2段階成長が一般的である。まず、MOCVD装置で [110] 方向に数度のオフ角をもつ Si (100) 単結晶基板1' を 900°C 以上の熱処理を行って表面酸化層を除去する。その後、 AsH_3 と有機金属であるTMG (トリメチルガリウム) 若しくはTEG (トリエチルガリウム) を原材料ガスとし、単結晶基板1' に吹き付けることでエピタキシャル形成を行う。

【0015】基板温度 $300 \sim 450^\circ\text{C}$ で GaAs 非晶質層を Si (100) 単結晶基板1' 上に $10 \sim 100 \text{ nm}$ 形成した後、 $600 \sim 700^\circ\text{C}$ に昇温して GaAs 層を $2 \sim 5 \mu\text{m}$ 形成することで第1の化合物半導体層3とする。その後、エピタキシャル成長を一時中断して基板1' を反応炉から取り出す。

【0016】次に、図1に示すように、 Si (100) 単結晶基板1' 上に形成された第1の化合物半導体層3上に、スペッタリング法あるいはCVD法などにより厚さ $0.1 \sim 1.0 \mu\text{m}$ の SiO_2 や SiN_x を形成し、フォトリソグラフィーによって幅 $L_1 = 5 \sim 10 \mu\text{m}$ 、間

隔 $L_2 = 5 \sim 10 \mu\text{m}$ となる透孔部4aを有する第1のマスク4を形成する。 SiO_2 や SiN_x のエッチング溶液にはフッ酸を用いる。幅 L_1 は、 $5 \mu\text{m}$ 以下では後述する第2のマスク (酸化した $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層6') を形成するための領域が小さく、 $10 \mu\text{m}$ 以上では後述する第3の化合物半導体層8の横方向への成長時間が長く、実用的でない。また、間隔 L_2 は、 $5 \mu\text{m}$ 以下では後述する第2のマスクをエッチングするための領域が小さく、 $10 \mu\text{m}$ 以上では第2の化合物半導体層5の横方向への成長時間が長く、実用的でない。

【0017】また、図2に示すように、第1のマスク4の透孔部4aが Si (100) 単結晶基板1' の [011] 方向に対して $15^\circ \sim 45^\circ$ に傾くように設ける。

後述の第2の化合物半導体層5の厚みが第1のマスク4の表面に達して横方向に成長するとき、横成長表面の原子のステップ数 (キンク密度) は、第1のマスク4のスリット4aが [011] 方向に対して、垂直に設けるよりも $15^\circ \sim 45^\circ$ に傾けると大きくなる。例えば GaAs から成る第2の化合物半導体層5 (100) は、正方形の格子状に Ga と As が交互に並んでいたために、第1のマスク4の透孔部4aを $15^\circ \sim 45^\circ$ 傾けることで、キンク密度が大きな表面を側面に形成できるためである。側面におけるキンク密度の増大は、横方向への成長を促進させ、成長時間の短縮が可能となる。すなわち、後述する第2の化合物半導体層5の横方向の成長速度は成長条件によって変化するが、第1のマスク4の透孔部を [011] 方向に対して 30° 傾けた場合、垂直に形成する場合よりも、2倍以上となる。第1のマスク4の透孔部4aを傾ける角度は $15^\circ \sim 45^\circ$ の範囲において、横方向への成長速度はほぼ同じであった。

【0018】次に、図3に示すように、第1のマスク4が形成された基板1' 上に、第1のマスク4上にまで横成長した厚さ $1.0 \sim 2.0 \mu\text{m}$ の GaAs から成る第2の化合物半導体層5、厚さ $0.05 \mu\text{m} \sim 0.1 \mu\text{m}$ の $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 < 9 \leq X \leq 1$) 層6、および $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 < 9 \leq X \leq 1$) 層6の自然酸化を防ぐことを目的とした厚さ $0.005 \mu\text{m} \sim 0.01 \mu\text{m}$ の GaAs などから成るキャップ層7を形成する。このように形成することで、第2の化合物半導体層5のマスク4上へは転位が貫通せず、第1のマスク4上には転位欠陥の少ない領域が形成される。第1のマスク4は、 Si (100) 単結晶基板1' と第1の化合物半導体層の界面に発生した転位の伝播を阻止する役割を果たすからである。KOH融解液のエッチングによる転位密度の測定では、第1のマスク4の透孔部4a上で $1 \times 10^8 \text{ cm}^{-2}$ 以上の転位が存在したが、第1のマスク4上では $1 \times 10^6 \text{ cm}^{-2}$ 以下の転位となった。また、X線2結晶回折における (400) のピーク半値幅は $250 \sim 300 \text{ sec}$ となった。これは、第1の化合物半導体層3上の高転位密度であるためと考えられる。また、G

a As から成る第1の化合物半導体層3を形成せずに、Si 基板上に直接GaAs を形成した場合、マスク上にも $3 \times 10^6 \text{ cm}^{-2}$ ほどの転位が存在したことから、第1の化合物半導体層3が有効である。

【0019】第2の化合物半導体層5の膜厚は第1のマスク4の膜厚以上が必要で、 $2.0 \mu\text{m}$ 以上の膜厚は成長時間が長時間となるので実用的でない。

【0020】また、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.9 \leq x \leq 1$) 層6の膜厚が $0.05 \mu\text{m}$ 未満の場合や、Al組成Xが 0.9 未満の場合は、酸化時間が長時間となり実用的でない。さらに、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.9 \leq x \leq 1$) 層6の膜厚が $0.1 \mu\text{m}$ を超えるときは、後述する酸化Alした $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層6'の表面モロジーが劣化する。なお、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.9 \leq x \leq 1$) 層6のAlの原料は有機金属であるTMA(トリメチルアルミニウム)を用いる。

【0021】キャップ層7の厚さは $0.005 \mu\text{m}$ 以下であると、後述する $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.9 \leq x \leq 1$) 層6のウェット酸化時に剥離する恐れがあり、 $0.01 \mu\text{m}$ 以上だと、後述するキャップ層7のエッチング時間が長くなり、第2の化合物半導体層5の側面がエッチングされ、第3の化合物半導体層8の成長時間が長くなる。

【0022】次に、図4に示すように、キャップ層6上から、マスク4上に形成された第2の化合物半導体層5、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.9 \leq x \leq 1$) 層6、およびキャップ層7のエッチングを行う。このエッチングにより、幅L3が間隔L2より大きい幅、間隔L4が幅L1より小さい幅を有するスリット4aを形成する。エッチングは過酸化水素と酸若しくはアルカリの混合液を用いる。一般的には硫酸：過酸化水素：水 = 1 : 8 : 8 の混合液を用いる。このとき、第1のマスク4を露出するまでエッチングを行っても、第3の化合物半導体層8を形成するためのシードとして、第1のマスク4上の第2の化合物半導体層5の側面を用いるので問題は無い。

【0023】次に、図5に示すように、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.9 \leq x \leq 1$) 層6を側面からウェット酸化した後、厚さ $0.005 \mu\text{m}$ ～ $0.01 \mu\text{m}$ のキャップ層7をエッチングで取り除いて酸化した $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層6'を露出させる。この酸化した $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層6'はマスクとなる。これによりSiO₂やSiNx等を蒸着で形成するよりも、第2のマスク6を短時間で容易に形成できる。

【0024】 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.9 \leq x \leq 1$) 層6のウェット酸化は、例えば試料を石英チューブの加熱炉に入れて 90°C 前後の恒温槽中の超純水に窒素を $1 \sim 10$ リットル/分でバーピングすることで、水蒸気を石英チューブ内に供給し、 $400 \sim 500^\circ\text{C}$ に加熱することにより行う。酸化領域が $10 \mu\text{m}$ 以下(L1の幅以下)と小さいことから、数分で酸化した $\text{Al}_x\text{Ga}_{1-x}\text{As}$

As 層6'を得ることができる。なお、GaAs から成る第2の化合物半導体層5やキャップ層7は酸化されない。

【0025】次に、図5に示すように、キャップ層7をエッチングして除去する。キャップ層7の厚さは $0.05 \mu\text{m}$ ～ $0.01 \mu\text{m}$ と薄いため、第2の化合物半導体層5の側面がエッチングされる幅は問題にならない。

【0026】その後、図6に示すように、第3の化合物半導体層8を転位密度の低い第1のマスク4上の第2の化合物半導体層5をシードとして成長を行い、酸化した $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層6'上まで横成長を行うことにより、基板全面に転位密度の小さい第3の化合物半導体層8を形成することが可能となる。これは、図7に示すように、第1のマスクと第2のマスクが重なり合わないように積層し、転位の貫通が第1のマスク4と第2のマスク6'部分で止められことと、転位密度の低い第1のマスク4上の第2の化合物半導体層5をシードとして成長することにより、最上部に形成された第3の化合物半導体層8は、均一に転位密度が低くなるためであると考えられる。

【0027】KOH融解液のエッチングによる転位密度の測定では、第3の化合物半導体層8上で平均して約 $1 \times 10^5 \text{ 個 cm}^{-2}$ 以下の転位となった。また、X線2結晶回折における(400)のピーク半値幅は、 $100 \sim 150 \text{ sec}$ となった。熱サイクルアニールおよびInGaAs層の挿入によって、転位密度が $2 \times 10^6 \text{ cm}^{-2}$ まで低減されたエピタキシャル膜のX線2結晶回折における(400)のピーク半値幅は、約 200 sec となることからも、結晶性が大幅に改善されたことが確認された。

【0028】上述のようにして形成した化合物半導体基板上に、さらに活性層や能動層やコンタクト層(不図示)を形成して、MESFET、HEMT、LED、LDなどを形成する。

【0029】

【発明の効果】以上のように、請求項1に係る発明では、2回のELOを行なうにあたり、Si基板上に第1の化合物半導体層を形成することで転位密度を減少でき、また、第1のマスクの透孔部に傾きを設けること、および第2のマスク部に酸化したAlGaAs層を用いることで成長時間を大幅に短縮して生産性を向上することが可能となり、転位密度を基板全面で $1 \times 10^5 \text{ 個 cm}^{-2}$ 以下まで低減した化合物半導体基板を効率的に製造することが可能となる。

【図面の簡単な説明】

【図1】請求項1に係る化合物半導体基板の製造方法の一工程を説明するための図である。

【図2】請求項1に係る化合物半導体基板の製造方法の他の工程を説明するための図である。

【図3】第2の化合物半導体層内の転位密度の分布を示

す図である。

【図4】第2の化合物半導体層をエッチングした後の状態を示す図である。

【図5】 $A_{1-x}G_{a1-x}A_s$ 層を酸化した後の状態を示す図である。

【図6】第3の化合物半導体層を形成した後の状態を示す図である。

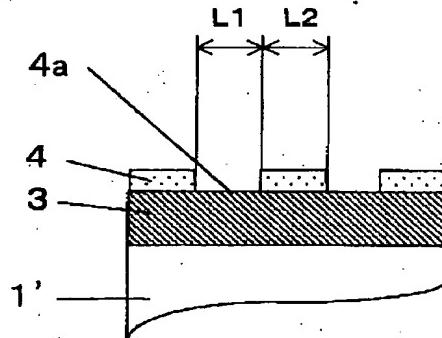
【図7】貫通転位の低減を示す図である。

【図8】従来の化合物半導体基板の製造方法を説明するための図である。

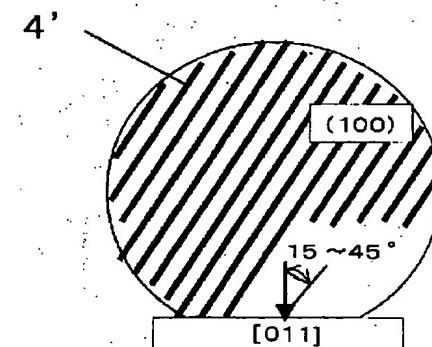
【符号の説明】

- 1 …… Si 単結晶基板、1' …… Si (100) 単結晶基板、3 …… 第1の化合物半導体層、4 …… 第1のマスク、5 …… 第2の化合物半導体層、6 …… $A_{1-x}G_{a1-x}A_s$ ($0.9 \leq x \leq 1$) 層、6' …… 酸化した $A_{1-x}G_{a1-x}A_s$ 層、7 …… キャップ層、8 …… 第3の化合物半導体層、L1 …… 第1のマスクの透孔部の幅、L2 …… 第1のマスクの透孔部の間隔、L3 …… 第2のマスクの透孔部の幅、L4 …… 第2のマスクの透孔部の間隔

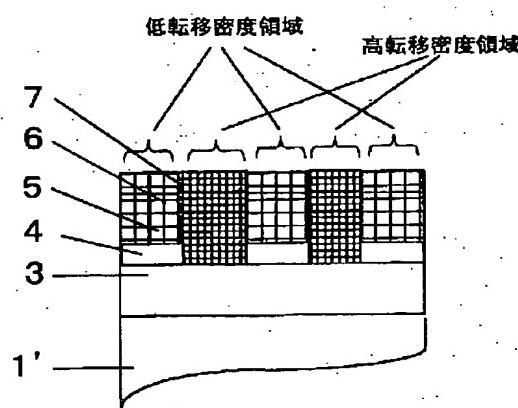
【図1】



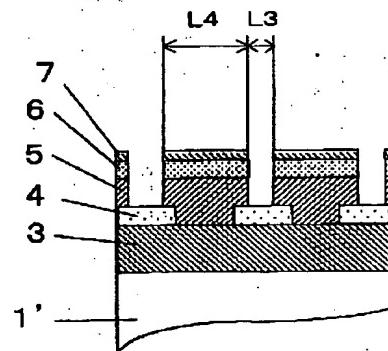
【図2】



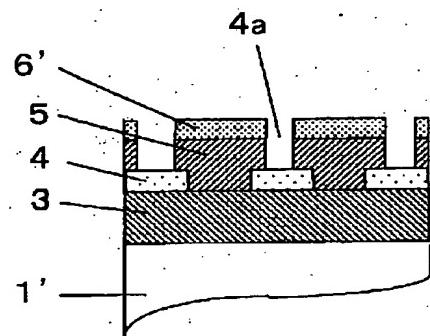
【図3】



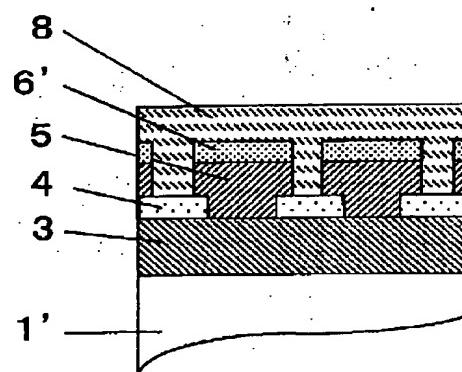
【図4】



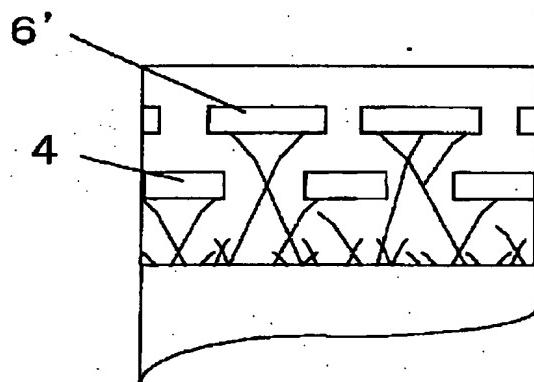
【図5】



【図6】



【図7】



【図8】

